

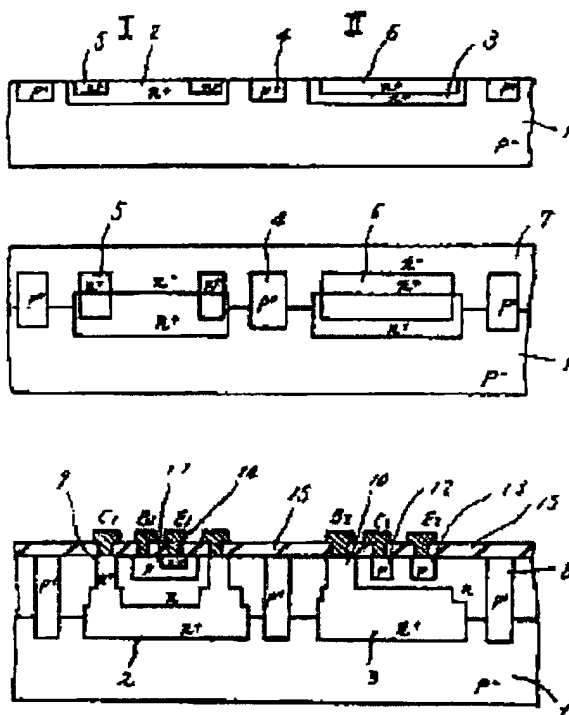
MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent number: JP56060049
Publication date: 1981-05-23
Inventor: NIINO KAORU
Applicant: HITACHI LTD
Classification:
 - international: H01L27/08; H01L29/72
 - european: H01L27/082L
Application number: JP19800145793 19801020
Priority number(s): JP19800145793 19801020

Report a data error here

Abstract of JP56060049

PURPOSE: To increase the withstand voltage of a cascade element and to reduce the base expanding resistance of a transversal element by increasing the distance from the surface of a semiconductor layer to the buried layer in the cascade transistor region longer than the buried layer in the transversal transistor region. **CONSTITUTION:** Sb is selectively diffused corresponding to a region I in which a power cascade transistor is formed and to a region II in which an input transversal transistor is formed in a high specific resistance p type Si substrate 1, n<+> type buried layers 2, 3 are thus formed, and an isolating region 4 is formed therebetween. p is diffused in a part of the layer 2 and in the entire layer 3, and n<+> type diffused layers 5, 6 are respectively formed. An epitaxial layer 7 containing low density n type impurity is formed on the substrate 1. Since the diffusion coefficient of the p is much larger than that of the Sb, the distance from the surface to the layer 2 becomes larger than that to the layer 3, the withstand voltage of the cascade transistor in the region I becomes larger and the base expanding resistance of the transversal transistor in the region II becomes smaller.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭56—60049

⑫ Int. Cl.³
H 01 L 27/08
29/72

識別記号

庁内整理番号
6426—5F
7514—5F

⑬ 公開 昭和56年(1981)5月23日

発明の数 1
審査請求 有

(全 5 頁)

⑭ 半導体集積回路装置の製造方法

小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑯ 特 願 昭55—145793
⑰ 出 願 昭48(1973)5月25日
⑱ 特 願 昭48—57807の分割
㉒ 発 明 者 新納 薫

⑰ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
㉒ 代 理 人 弁理士 澤田利幸

明 細 書

発明の名称 半導体集積回路装置の製造方法

特許請求の範囲

1. 第1導電型半導体基板にはほぼ均一な不純物濃度分布を有する半導体層を形成し、該半導体層中に特性の異なる少くとも2つの半導体素子を形成する半導体集積回路装置の製造方法において、上記第1導電型半導体基板表面の一領域に第2導電型の不純物を導入して第1半導体領域を、また上記第1半導体領域から離間した上記半導体基板表面の他の領域に上記不純物よりも拡散係数の大きい第2導電型の他の不純物を導入して第2半導体領域を形成し、上記第1、第2半導体領域が形成された半導体基板表面に第2導電型の単一の半導体層を形成するとともに、上記第1半導体領域と第2半導体領域とのそれぞれから上記半導体層中に第2導電型の不純物を拡散させることによって上記半導体層と半導体基板とに延在する第1埋込層と第2埋込層とを形成し、それによって上記半導体層表面から上記第1埋込層までの距離が上

記半導体層表面から上記第2埋込層までの距離よりも大きくなるようにしたことを特徴とする半導体集積回路装置の製造方法。

発明の詳細な説明

本発明は半導体集積回路装置、特に互に電気的特性の異なる少くとも2種類の半導体素子を有する半導体装置の製造方法に関する。例えば同一半導体基板内に高耐圧特性の要求される縦型トランジスタと高電流利得特性の要求される横型トランジスタを形成する場合の製造方法に関する。

例えばバイポーラ型パワーIC(半導体集積回路)は入力用として小信号の横型トランジスタと、出力用としてパワー用縦型トランジスタを同一半導体基板上に形成し、各トランジスタの形成される半導体領域はアイソレーション(分離)領域によって相互に分離して作られる場合が多い。

上記のようなパワーICにおいて、その出力特性を向上させるために、パワー用縦型トランジスタの耐圧(V_{CBO} ・ V_{CBO})を高くする必要がある。かかるトランジスタの耐圧を高くする手段として、(1)

特開昭56- 60049 (2)

トランジスタの形成されている半導体エピタキシャル層の比抵抗を上げること、(2)半導体エピタキシャル層の厚さを厚くしてベース幅またはコレクタ層の厚さを大きくすることが考えられる。ところがこのような条件をみたす半導体エピタキシャル層に小信号用として横型のトランジスタを形成すればこの横型トランジスタの高周波特性が低下することになる。その理由は横型トランジスタでは半導体エピタキシャル層がベースとなるが前記したようにこれを厚くし、かつその比抵抗を大きくしたためにベース幅が抵抗が大きくなり、その結果、横型トランジスタの高周波特性がわるくなる。

本発明においては、上記のようなパワーICにおいて、半導体エピタキシャル層を厚く、かつ比抵抗を大きくして、しかもこの半導体エピタキシャル層中に形成した横型トランジスタの高周波特性が低下しない方法につき検討した結果なされたものであって、もとより、半導体基体よりのパワーICの製造工程において、個々の領域で半導体

(3)

ある。

(a-1) 高比抵抗のp型Si(シリコン)基板(ウエハ)を用意し、出力用の縦型トランジスタを形成すべき領域Ⅰおよび入力用横型トランジスタを形成すべき領域Ⅱに対応して n^+ 型埋込層2、3をホトエッチングにより形成した酸化膜(図示せず)をマスクとして選択拡散により形成する。この場合の n^+ 型不純物をつくるドナとしてSb(アンチモン)を使用する。

(a-2) 上記p型基板1上に上記領域Ⅰ、領域Ⅱを分離するアイソレーション(分離)領域のための下側 p^+ 型拡散領域4を選択拡散により形成する。この場合の p^+ 型不純物をつくるアクセプタとしてB(ボロン)を使用する。

(b) 領域Ⅰの n^+ 型埋込領域2の一部にコレクタ取出し部用下側 n^+ 型拡散層5を形成し、同時に領域Ⅱの n^+ 型埋込領域3の全部に対しベース取出し部用 n^+ 型拡散層6を形成する。このときの n^+ 型不純物をつくるドナにはP(リン)を使用する。このPの拡散係数は前記Sbのそれよりは

(5)

エピタキシャル層の比抵抗を変え、また厚さを変えることによって、前記の要求を満足するように構成することは可能であるが、その場合、いちじるしく工程が増え、それによって製造価格が大きくなり、また工程数が増えれば半導体素子の特性の均一化が困難となる等の問題がさけられない。

したがって本発明の目的は、互に電気的特性の異なる素子を簡単な方法により形成する方法を提供するものであり、例えば同一半導体基体内に縦型トランジスタと横型トランジスタとを形成する場合に、(1)縦型トランジスタの耐圧を上げ、(2)横型トランジスタのベース幅が抵抗を小さくし、(3)上記(1)、(2)を同時に満足し、しかも製造工程数を増すことなく行う製造技術を提供することにある。

以下、実施例にそって本発明を具体的に説明する。

第1図は本発明を同一p型Si基板上にapn縦型トランジスタとpn_p横型トランジスタとを形成する場合の例についての製造工程を示すもので

(4)

るかに大きいものである。

(c) 上記層が形成された基板上に低濃度のn型不純物を含むシリコンエピタキシャル層7を20～25μの厚さに形成する。

(d) 上記エピタキシャル層7にアイソレーション上側 p^+ 型拡散領域8を形成し、下側 p^+ 型拡散領域4と接続してアイソレーション領域をつくる。

(e) エピタキシャル層7にそれぞれ上側の n^+ 型拡散を行って、領域Ⅰにおいては n^+ 型拡散層5と接続するコレクタ取出し部9を形成し、領域Ⅱにおいては n^+ 型拡散層6と接続するベース取出し部10を形成する。

(f) 領域Ⅰおよび領域Ⅱにそれぞれ p^+ 型拡散を行って、領域Ⅰには縦型トランジスタのベース11を、領域Ⅱには横型トランジスタのエミッタ12およびコレクタ13をそれぞれ形成する。このときの p^+ 型拡散にはアクセプタとしてB(ボロン)を使用する。

このあと、領域Ⅰにおいて n^+ 型拡散によるエミッタ14を形成し、第2図に示すように表面膜

(8)

化膜 15 に対してコンタクトホトエッチングによる窓明けを行い、アルミニウムを全面蒸着し、配線パターンに従って不要部をエッチングし、各領域のベース、コレクタおよびエミッタに接続する電極 $B_1, B_2, C_1, C_2, E_1, E_2$ を形成することで各素子を完成する。

以上実施例で述べたような本発明によれば、下記の理由でその目的が達成でき、かつ、その効果が得られる。

(1) 従来の横型トランジスタにおいては、第 3 図に示すようにベース取出し部 10、コレクタ 12 およびエミッタ 13 に対して n^+ 型埋込み層 3 がパワー用トランジスタの耐圧特性向上のために十分に広い間隔をもって形成されているために、ベース拡がり抵抗 ($r_{bb'}$) は、

$$r_{bb'} = R_1 + R_2 + R_3 \quad (1)$$

であらわされる。ここに R_1 はベース動作部 B_1 から n^+ 型埋込み層 3 までの抵抗、 R_2 は n^+ 型埋込み層における横方向の抵抗、 R_3 は n^+ 型埋込み層 3 より n^+ 型ベース取出し部 10 までの抵抗である。そして

(7)

までの抵抗である。そして n 型エピタキシャル層 7 の比抵抗は $5 \sim 6 \Omega \text{cm}$ 、 n^+ 型拡散層 8 および n^+ 型埋込み層 3 における比抵抗は $0.004 \Omega \text{cm}$ である。この場合、 n^+ 型拡散層 8 があるために、第 3 図の場合と対照して、

$$R_1 < R_2, R_2 < R_3, R_2 < R_4$$

であり、上記(3)は

$$r_{bb'} \approx R_1 >> R_2 + R_3 \quad (4)$$

$r_{bb'}$ はきわめて小さくすることができる。

高周波特性 FM は一般に

$$FM = f_t / (C_c \times r_{bb'})$$

(ただし f_t : シュワズ周波数、 C_c : コレクタ容量) であらわされ、前記したような $r_{bb'}$ は小さいから FM は向上する。

(2) 一方、出力用の縦型トランジスタにおいては、 n 層 (エピタキシャル層) が厚いので耐圧を十分に大きくとることができる。

(3) 工程(b)において、出力用縦型トランジスタのコレクタ取出し部のための n^+ 型拡散領域 5 の形成時に、横型トランジスタの n^+ 型拡散領域 6 の

特開昭56- 60049 (3)

n 型エピタキシャル層 7 の比抵抗は $5 \sim 6 \Omega \text{cm}$ 、 n^+ 型埋込み層の比抵抗は $0.004 \Omega \text{cm}$ であり、エピタキシャル層の厚さは 20μ である。

したがって、

$$r_{bb'} \approx R_1 + R_2 >> R_3 \quad (2)$$

のごとくなり、ベース拡がり抵抗の主要部分は n 型エピタキシャル層の不純物濃度と厚さにかかわってくる。

これに対して本発明による横型トランジスタにおいては、第 4 図に示すようにベース取出し部 10 は n^+ 型埋込み層 3 上の n^+ 型拡散層 6 と十分に接近ないし接触し、コレクタ^{IC} およびエミッタ 13 は n^+ 型拡散層 6 に十分に接近するように構成されているために、この場合のベース拡がり抵抗 ($r_{bb'}$) は、

$$r_{bb'} \approx R_2 + R_3 + R_4 \quad (3)$$

であらわされる。ここに R_2 はベース動作部 B_1 と n^+ 型拡散層 6 までの抵抗、 R_3 は n^+ 型拡散層 6 および n^+ 型埋込み層 3 の横方向の抵抗 (合成値)、 R_4 は n^+ 型拡散層 6 から n^+ 型ベース取出し部 10

(8)

形成を同時に行うのであるから、工程数はとくに増加することはない。

(4) コレクタ取出し部をリング状に形成することで縦型 $n p n$ トランジスタを外部から隔離し、寄生トランジスタ効果を防止することができる。

前記実施例以外に本発明は下記の形態で実施することができる。

(1) 横型 $p n p$ トランジスタにおいて n^+ 型埋込み層 3 は形成しない。すなわち p (リン) を使用した n^+ 型拡散層のみとする。

(2) 横型 $p n p$ トランジスタの上側のベース取出し部拡散層をリング状に形成する。

本発明は主としてパワー IC、特に横型トランジスタと縦型トランジスタを同一半導体基板上に形成する場合に適用でき、また横型トランジスタの他に小電圧動作縦型トランジスタまたはダイオードと大電圧用縦型トランジスタまたはダイオード等を形成する場合に適用しても有効である。さらにまたエピタキシャル層の導電型を基体と同導電型とし、コレクタ埋込み層によって素子間をア

(9)

イソレーションする所謂セルフイソレーション
にも適用できる。

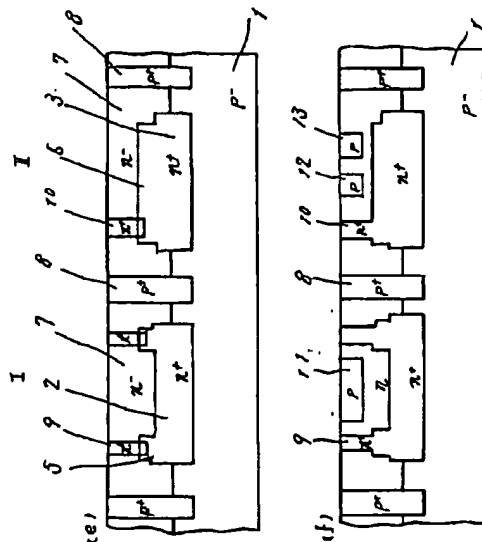
図面の簡単な説明

第1図は本発明による製造法の一実施例を示す
工程図、第2図は同じくその完成時の縦断面図、
第3図および第4図は、従来法および本発明方法
により製造された装置におけるベース拡がり抵抗
を示す原理説明図である。

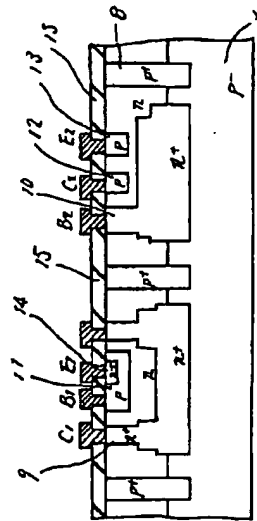
1…p型シリコン基板、2、3…n⁺型拡散層
(領域)、4…アイソレーションのための下側p⁺
型拡散領域、5…コレクタ取出し部用の下側n⁺
型拡散層、6…ベース取出し部用n⁺型拡散層、
7…n型エピタキシャル層、8…アイソレーショ
ン用上側p⁺型拡散領域、9…n⁺型上側拡散コ
レクタ取出し部、10…n⁺型上側拡散ベース取
出し部、11…p型ベース、12…p型コレクタ、
13…p型エミッタ、14…n⁺型エミッタ、
15…絶縁膜、C₁、B₁、E₁…領域Ⅰにおける各
電極、C₂、B₂、E₂…領域Ⅱにおける各電極。

代理人 弁理士 澤田利幸

第1図



第2図



特開昭56-60049(4)

第1図

